

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282430

(43)Date of publication of application : 15.10.1999

(51)Int.Cl. G09G 3/36
 A63F 7/02
 G09G 3/20
 G09G 3/20
 G09G 5/00

(21)Application number : 10-083800

(71)Applicant : PA TECHNOLOGY:KK

(22)Date of filing : 30.03.1998

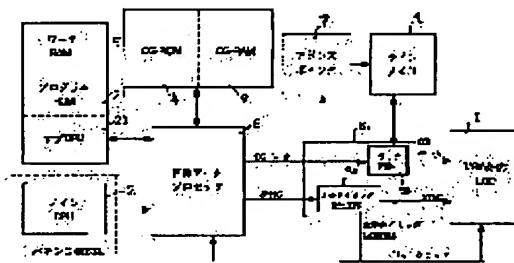
(72)Inventor : NISHIDA GORO
 IWAMURA SEISHIN
 HIRAOKA MAMORU

(54) LARGE-SCALE PICTURE DISPLAY DEVICE FOR PACHINKO

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a large-scale screen liquid crystal display device capable of displaying an image of limited image information on a liquid crystal display device of a large screen, and displaying the image information in a high particulars mode.

SOLUTION: This device is provided with a line memory 1 for storing an image data for one horizontal scanning directed from a main CPU 2, for instance, an image data of n dots, as an image data of 2n dots, an address pointer 7 for specifying the address of the line memory 1, a scanning timing generation circuit 8a which decides whether image data from an image data processor 6 connected with the main CPU 2 are sent or the image data of 2n dots from the line memory 1 are sent and also generates necessary signals for a large-scale liquid crystal display device 10 from the horizontal and vertical dot clock of the image data processor 6, and a large-scale liquid crystal display device 10 which displays an image from the scanning timing generation circuit 8a by horizontal/vertical synchronizing signal and a latch circuit 8b corresponding to the large-scale liquid crystal display device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-282430

(43) 公開日 平成11年(1999)10月15日

| (51) Int. Cl. ⁶ | 識別記号 | P I |
|-----------------------------|-------|----------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 |
| A 6 3 F 7/02 | 3 2 0 | A 6 3 F 7/02 3 2 0 |
| G 0 9 G 3/20 | 6 5 0 | G 0 9 G 3/20 6 5 0 C |
| | 6 6 0 | 6 6 0 C |
| 5/00 | 5 1 0 | 5/00 5 1 0 A |
| 審査請求 未請求 請求項の数3 O L (全 8 頁) | | |

(21) 出願番号 特願平10-83900

(22) 出願日 平成10年(1998)3月30日

(71) 出願人 598041588

株式会社ビー・エー・テクノロジー
東京都葛飾区柴又4丁目15番9号

(72) 発明者 西田 哲郎

東京都葛飾区柴又4丁目15番9号 株式会
社ビー・エー・テクノロジー内

(72) 発明者 岩村 星彦

東京都葛飾区柴又4丁目15番9号 株式会
社ビー・エー・テクノロジー内

(72) 発明者 平岡 守

東京都葛飾区柴又4丁目15番9号 株式会
社ビー・エー・テクノロジー内

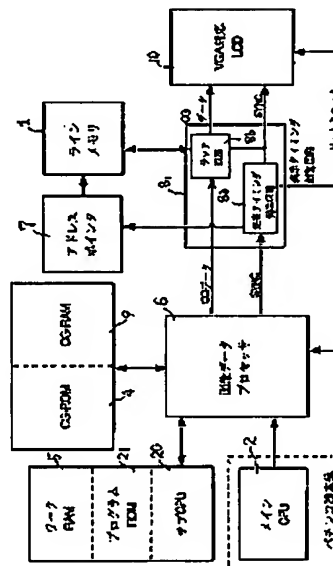
(74) 代理人 弁理士 橋本 次之 (外1名)

(54) 【発明の名称】 パチンコ用大型画像表示装置

(57) 【要約】 (修正有)

【課題】 限られた画像情報のものを大画面の液晶表示装置に表示し、画像情報を高詳細モードにて表示することが可能な大型画面液晶表示装置を提供する。

【解決手段】 メインCPU2からの指示された例えばnドットの画像データの水平走査分を2nドットの画像データとして記憶するラインメモリ1と、該ラインメモリのアドレスを指定するアドレスポインタ7と、前記メインCPU2と接続された画像データプロセッサ6からの画像データ若しくはラインメモリ1からの2nドットの画像データを送出するかを決定し、同時に画像データプロセッサ6の水平、垂直、ドットクロックから大型液晶表示器10に必要な信号を生成する走査タイミング発生回路8aと、該走査タイミング発生回路8aから大型液晶表示器10に応じた水平・垂直同期信号とラッチ回路8bにより画像を表示する大型液晶表示器10とを備える。



(2)

特開平11-282430

1

2

【特許請求の範囲】

【請求項1】 パチンコ用大型画像表示装置において遊技機本体のメインCPU2からの指示された例えばnドットの画像データの1水平走査分を2nドットの画像データとして記憶するラインメモリ1と、該ラインメモリのアドレスを指定するアドレスポインタ7と、前記メインCPU2と接続された画像データプロセッサ6と、ラッチ回路8bと走査タイミング発生回路8aとからなる大型液晶表示装置10と接続された表示タイミング制御回路8₁とからなり、前記走査タイミング発生回路8aが前記画像データプロセッサ6からの2nドットの画像データ若しくはラインメモリ1からの2nドットの画像データを送出するかを決定し、同時に画像データプロセッサ6の水平、垂直、ドットクロックに基づき大型液晶表示器10に必要な信号を生成し、該走査タイミング発生回路8aから大型液晶表示器10に応じた水平・垂直同期信号とラッチ回路8bより所定のタイミングに応じて画像データを出力するように構成されたVGA以上の大型液晶表示器10とを備えた通常表示モードのパチンコ用大型画像表示装置。

【請求項2】 外部映像信号をアナログRGB信号に分離するデコーダ回路12と、該アナログRGB信号をデジタルRGB信号に変換するA/Dコンバータ14と、該A/Dコンバータ14での折り返し雑音をフィルタリングするためのフィルタ回路15と、該フィルタ回路15の映像信号の1フィールド分を格納するフィールドメモリ16と、前記映像信号の同期信号を基準にデータのフィールドメモリ16に書き込みを行うライトクロック生成回路8cと縦画面用の同期信号を基準にフィールドメモリ16のデータの読み出しを行うリードクロック生成回路8dと大型液晶表示器の一部、例えば四分分割画面の一つに外部からの映像情報を表示させることができ、またサブCPU20からの指令により文字情報用ウィンドウを設けるための画面分割制御回路8eとからなる表示タイミング制御回路8₂とからなり、文字情報用RAM24及びキャラクタジェネレータROM26とを設けることにより漢字を含む文字情報を表示することを特徴とする高詳細表示モードのパチンコ用大型画像表示装置。

【請求項3】 パチンコ遊技機に関する遊技内容を大型液晶表示器全体に表示させる通常表示モードと、外部映像信号及び漢字を含む文字情報及びパチンコ遊技の内容を大型液晶表示器の定められた位置に特定の大きさで表示させるための高詳細表示モードとを備え、かつ高詳細表示モードと通常モードとを遊技者が任意のタイミングにて切り換えることができるように構成されたものからなり、高詳細表示モードの時にアドレスポインタ7とラッチ回路8bが機能しないように構成されていることを特徴とする請求項1及び2記載のパチンコ用大型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パチンコ遊技機の制御装置から送信される画素数の少ない画像信号を変更することにより大画面の表示部に表示させるための装置に関するものである。

【0002】

【従来の技術】パチンコ遊技機の可変画像表示装置に用いられる液晶表示装置は、小型の液晶表示装置を使用しておりその画素数は多くとも縦240×横320のドット構成となっている。パチンコ遊技機の変換画像表示装置の視認性をより高めるためにはビデオグラフィックアレイ（以下VGAと呼ぶ）又はスーパービデオグラフィックアレイ（以下SVGAと呼ぶ）対応の大型液晶表示装置を用いれば良いが、この場合に画像を映し出すための必要データ量が4倍以上になる。一画面（1フレーム）の画像情報データ量としては、使用する色数が16色としても約5Mbitの情報量となってしまふ。コンピュータグラフィック（以下CGと呼ぶ）用のROMには当然圧縮された形で画像データが格納されており、該データを画像データプロセッサにより伸長作業を行うことが常套手段となっている。しかし、パチンコ用の制御機器の場合は画像データの記憶容量が「風俗営業等の規制および業務の適正化等に関する法律」（以下風営法と呼ぶ）により16Mbit以内というように厳しく制限されている。しかし視認性を高く、よりインパクトの高い表示能力を表現し、なおかつパチンコ遊技のゲームフローに則った一連の表示を実現するためには膨大な画像データ量が必要となる。そのため画像データの情報量を増やすことなく、大画面表示を行う方法として、液晶表示機の液晶シャッターを透過して放射される光画像を、投影レンズを介して遊技機フロントパネルに投影する方法が採用されている。

【0003】

【発明が解決しようとする課題】しかしながら前述した液晶表示機の液晶シャッターを透過して遊技機のフロントパネルに投影する方法の場合は、パチンコ遊技機のフロントパネルに投影される透光性光画像の大きさは投影レンズの調整により、液晶表示素子のサイズを小さいままに変更することができるという利点はあるが、大きく投影した場合には文字情報の表示はもちろんのこと一般の映像信号を子画面として表示させることになり、鮮明な画像表示は望めない。またフロントパネルに投影する方法である場合には、光量が弱まり暗くなりすぎるという問題がある。ピクチャ・イン・ピクチャ方式により、パチンコ遊技機の画面表示装置の画面内にTVなどの外部映像信号を小さく表示させる方法も提案されているが、320×240ドットの画面の四分分割を用いた場合には160ドット×120ラインとなり、小さくて大変見づらい画面となる。また大画面表示を実施するにあたって、カソードレイチューブ（以下CRTと呼ぶ）を

(3)

待開平11-282430

3

4

用いることも想定される。その場合、CRTモニタ自体の容積、重量等の物理的な制限のため、パチンコ遊技機には適用できないという問題がある。

【0004】そこで本発明は、いわゆる風営法による限られた画像データ記憶容量の問題をクリアすると共に視認性を高めるため大画面液晶表示器を用い、さらにパチンコ遊技機のものに関わる画像データ量を増大させることなく、比較的簡単な回路構成により大画面の液晶表示装置を駆動表示させることを目的とする。また従来のフロントパネルへの投影方法と異なり、直接液晶ディスプレイ全面に表示することにより明るい画面を提供することを目的とする。

【0005】

【課題を解決するための手段】すなわち本発明は、パチンコ用大型画像表示装置において遊技機本体のメインCPU 2からの指示された例えばnドットの画像データの1水平走査分を2nドットの画像データとして記憶するラインメモリ1と、該ラインメモリのアドレスを指定するアドレスポインタ7と、前記メインCPU 2と接続された画像データプロセッサ6と、ラッチ回路8bと走査タイミグ発生回路8aとからなる大型液晶表示装置10と接続された表示タイミグ制御回路8cとからなり、前記走査タイミグ発生回路8aが前記画像データプロセッサ6からの2nドットの画像データ若しくはラインメモリ1からの2nドットの画像データを送出するかを決定し、同時に画像データプロセッサ6の水平、垂直、ドットクロックに基づき大型液晶表示器10に必要な信号を生成し、該走査タイミグ発生回路8aから大型液晶表示器10に応じた水平・垂直同期信号とラッチ回路8bより所定のタイミングに応じて画像データを出力するように構成されたVGA以上の大型液晶表示器10とを備えた通常表示モードのパチンコ用大型画像表示装置により本目的を達成する。請求項2の発明は、外部映像信号をアナログRGB信号に分離するデコーダ回路と、該アナログRGB信号をデジタルRGB信号に変換するA/Dコンバータと、該A/Dコンバータでの折り返し雑音をフィルタリングするためのフィルタ回路と、該フィルタ回路の映像信号の1フィールド分を格納するフィールドメモリと、前記映像信号の同期信号を基準にデータのフィールドメモリに書き込みを行うライトクロック生成回路と縦画面用の同期信号を基準にフィールドメモリのデータの読み出しを行うリードクロック生成回路と大型液晶表示器の一部、例えば四分分割画面の一つに外部からの映像情報を表示させることができ、またサブCPUからの指令により文字情報用ウィンドウを設けるための画面分割制御回路とからなる表示タイミグ制御回路とからなり、文字情報用RAM及びキャラクタジェネレータROMとを設けることにより漢字を含む文字情報を表示することを特徴とするパチンコ用大型画像表示装置である。

【0006】

【作用】本発明にかかる画像表示装置では例えば水平320ドット×垂直240ラインの画像信号をそのまま水平640ドット×垂直480ラインの大画面画像装置に映し出すときに、略四分分割画面の一つにしか表示されないことになる。しかし、ドットクロック周期の2倍の周期で送出するように構成されているために640ドットのデータとして表示されると共にラッチ回路によりラインメモリに同じ640ドットのデータが格納され、アドレスポインタの指定に基づきラインメモリの640ドットのデータが表示される。以上のように2ラインずつメインCPUからの指示されたnドットの画像データが、2ラインずつ2nドットの画像データとして大型液晶表示器に表示されるために、最終的に水平640ドット×垂直480ラインの画像として液晶画面に映し出されることになる。請求項2の発明では、通常の映像信号及びキャラクター信号は、640×480ラインの画像を表示するための映像信号が送出されている。そこで読み出しクロックの周波数を書き込みクロックの周波数の約4倍に設定することにより、水平方向のサイズを略2分の1とする。また垂直ラインの画像データは、1ライン毎に割あいすることにより240ラインの画像情報として表現することになる。

【0007】

【発明の実施の形態】以下に本発明を図示された実施例に従って詳細に説明する。大画面の液晶表示パネルは図1のタイミングダイアグラムに示すように有効水平表示領域が640ドット、有効垂直表示領域が480ラインからなり、それぞれ水平同期信号(H-SYNC)及び垂直同期信号(V-SYNC)を受けて表示しているが、画像のちりつきをなくす程度に駆動するために、約60Hzの垂直同期周波数を要し、逆算すると垂直の周期は約16msec.となり、水平の周期は約32μsec.となる。その結果水平ドット数800からドットクロック周波数は25MHz程度が必要となる。一般に使用されているパチンコ用小型液晶表示装置の画素数は、多くとも320×240であるが、この時の水平の周期は約64μsec.でクロック周波数は6MHzで良いことになる。パチンコ遊技機の制御機器から送信される信号は、320ドット×240ライン表示の画像データ(図2a)のものをVGA(水平640ドット×垂直480ライン)対応の大型液晶表示装置に表示させる場合(図2b)について説明する。

【0008】図2bは、大画面液晶表示装置の画面構成を示すもので、この図に示すように画面480列、640個の表示ドットR1-C1、R1-C2、R1-C3、…、R2-C1、R2-C2、R2-C3、…、R480-C640により表示される。この画像表示装置には、図3に示すようにライン・メモリ1が設けられており、このライン・メモリ1は前記表示ドットR1-C1、R1-C2、R1-C3、…、R2-C1、R2-C2、R2-C3、…、R480-C640に対応する640個の番地を有し(左右の水平ブラ

(4)

特開平11-282430

5

対応する各表示ドットの表示データが各々記憶される。表示データは、メインCPU2からの指令によりCG-ROM4から圧縮画像データを読み込み、ワークRAM5において伸張処理と各種表示演算処理が施された後に画像データプロセッサ6からデジタル赤(R)、緑

(G)、青(B)各5ビット計15ビットのデジタルRGB信号が出力される。
【0009】画像データプロセッサ6からのデジタルRGB信号は、一水平走査で320ドット(Nドット)であるが、R1-C1からR1-C640(2Nドット)まで表示されるように構成されている。これはデジタルRGB信号の出力は、大型液晶表示装置に用いられるドットクロック周期(周波数 f_{clk})の2倍の周期(周波数 $f_{clk}/2$)で送出されるように構成されているためである。これにより本来320個の画素データは液晶表示器画面上では、図2aに示すように水平方向2倍となって表示されることになる。同時にこの画像データプロセッサ6から出力され、R1-C1~R1-C640に表示されたデジタルRGB信号は、アドレスポインタ7(800進カウンタ)により、各々番地指定ライン・メモリ1(S-RAM)に1ドット分(1画素分)15ビット640組のデータとして格納される。アドレスポインタ7の周期は画像データプロセッサ6のドットクロック周期と同一である。

【0010】液晶表示装置画面上のR2-C1、R2-C2、R2-C3、…、R2-C640の画像データの表示は、ライン・メモリ1に格納されたR1ラインの表示されたと同じデータを読み出すことにより行われる。このライン・メモリ1の読み出しが行われている時、画像データプロセッサ6の同期カウンタが進んでしまうと液晶表示装置10へのデータ送出タイミングがずれてしまうため、カウンタを止める必要があるが、本実施例では画像データプロセッサ6のドットクロックを停止することにより実現している。液晶表示装置10への水平カウンタは図中のアドレスポインタ7、つまりカウンタで行われているので、画像データプロセッサ6へのドットクロックを停止しても表示には影響しない構成となっている。この1ラスタ毎の動作状態を示す信号が走査タイミング発生回路8aとラッチ回路8bとからなる表示タイミング制御回路8cから出力されており、出力の上がりエッジでトグル(toogle)するようになっている。この出力は画像データプロセッサ6からの水平同期信号と800進カウンタのリブキャリーの下がりエッジで“1”に変化するが、回路が動作を始めると800進カウンタは常時動作するので、画像データプロセッサ6からの水平信号は動作をスタートさせるためにのみ使用する。以下同様に1ラスタ毎に書き込み(write)と読み込み(read)とを繰り返し、垂直方向の拡大表示を行う。

【0011】次に、高精細表示モード時において、VGA若しくはSVGA対応液晶ディスプレイ10の画面を分割表示させる方法について述べる。まず、大画面液晶デ

6

ィスプレイ表示部の1/4の表示面積でTV映像など外部映像信号を表示させる場合について説明する。外部映像表示部はピクチャ・イン・ピクチャの概念からすると子画面と言われるが、本方式においては通常表示モード時におけるパチンコ遊技フル表示と、高精細表示モード時における分割表示(漢字を含む文字データ表示、外部映像表示、パチンコの遊技内容表示、その他)というように大別しており、親画面と子画面の切り換えが必要ないことから表示モードで区別することとする。

【0012】TVの映像信号などのように走査線が525本のNTSC方式のシステムにおいては、垂直走査線数は525本で2:1のインターフェース、水平周波数は4.2MHzとなっている。有効表示領域は、水平で52.65μsecで、垂直で242.5ラインとなっている。実際の表示領域はオーバースキャンを考慮すると水平で50μsec、垂直で約225から230ラインとなっており、本方式においては水平の圧縮のみで良いことになる。実際にどのように実現するかについて図4に基づき説明する。図4のシステムの構成例において、実際にテレビジョン放送を受信一表示させる場合は、アンテナ、チューナー、中間周波検波などが必要とされるが、ここでは省略し、ビデオ信号(色信号、輝度信号、水平垂直同期信号、バースト信号を含む)から後の説明とする。外部映像表示の信号処理は、コンポジットビデオ信号のまま行わず、一度デコーダ回路12でRGBのコンポーネントビデオ信号に変換する。その後A/Dコンバータ14に入力され、5ビットのデジタルRGB信号を得る。あとA/Dコンバータでの折り返し雑音を考慮したフィルタリングがフィルタ回路15で行われ、フィールドメモリ16に書き込まれる。同時にデコーダ回路12は同期分解も兼ね、この同期信号はフィールドメモリタイミングパルスとなり、分割画面の位置に応じた位置情報を与えるための基準パルスとなる。ここまでは、外部映像信号の水平同期信号に同期したサンプリングクロックで行う。フィールドメモリ16に書き込まれたデータは、表示タイミング制御回路8cに内蔵されたライトクロック生成回路8cとリードクロック生成回路8dで生成されたサンプリングクロックで読み出す。液晶ディスプレイ10の水平同期信号に同期したサンプリングクロックとなる。この時のフィールドメモリ16の読み出しクロック周波数は、書き込みクロック周波数の約4倍に設定する。この周波数比を変えることで外部映像の水平方向のサイズを変えることができる。外部映像信号は、表示タイミング制御回路8cにより大型液晶ディスプレイの位置情報に応じたタイミングで送出され、画面上に表示されることになる。

【0013】次に同じく高精細モード時に漢字データを含む文字情報を表示させる方法及び手段について図5を用いて説明する。文字情報そのものを液晶ディスプレイ上に表現させるには、サブCPU20、外部通信用インターフェース22、文字情報用RAM24、キャラクタジェネ

(5)

特開平11-282430

7

レータ用ROM26を用いて構成させる。本方式においては、ラスタスキャン方式を採用しているため、液晶画面上で輝点は、スキャン動作中に表示したい場所で輝度変動をかけて文字を表現する。文字情報表示回路のブロックダイアグラムを図5に示す。図中文字情報用RAM24には、液晶ディスプレイの表示したい位置に対応するメモリアドレスにサブCPU20から送られたアスキーコードが格納されている。表示タイミング制御回路8₁は、液晶ディスプレイ10の定位置に台合わせて、文字情報用RAM24からデータを読み取り、そのデータをキャラクタジェネレータ用ROM26に与えて、文字のドットデータを再生し、同期信号と合わせてデジタルRGBのコンポーネント信号を作る。その後、上記映像信号と同様に表示タイミング制御回路8₁により大型液晶ディスプレイの位置情報に応じたタイミングで送出されディスプレイ上に表示されることになる。本方式による外部通信用のインターフェース22はパチンコ店のホール管理室などからの文字情報をリアルタイムに表示させることができるため、よりスピーディーなサービスが可能となる。図6に高精度表示モードにおけるシグナルフローを示す。上記外部映像信号と文字情報は双方ともメモリに格納されているため、画像データプロセッサからの大型液晶ディスプレイに応じた水平垂直同期信号を基準として所定のタイミングで読み出すだけで良いことになる。一定画素分の各画像データの読み出しは、表示タイミング制御回路8₁からのスイッチ信号によりパチンコ遊技画像、外部画像、文字情報をそれぞれ高速に切り換えることにより行う。この時、パチンコ遊技用の画像データの読み出しは、320ドット×240ラインで表示させるために、それに応じたタイミングで読み出されている。この時、通常表示モードで用いたラインメモリ1とアドレスポインタ7と表示タイミング制御回路8₁内のラッチ回路8bとは作動しない。VGA、SVGA以上の大型液晶表示器10に画像を表示させる場合においても、表示制御の全体を司るサブCPU20と画像信号処理を行う画像データプロセッサ6に対する負担が全く生じないこと、制御プログラムと画像データは、完全な互換性を保つことが可能となることを明らかにするため、パチンコ遊技全体の動きを司るメインCPU2と画像表示装置との関係、メインCPU2からの命令により画像表示までの一連の処理を説明する。表示処理専用コマンドは、パチンコ遊技全体の処理を行うメインCPU2より画像データプロセッサ6のコマンド専用レジスタを読み、そのレジスタに格納されているコマンドをワークRAM5に転送する。サブCPU20はプログラムROM21内のコマンド解析用プログラムで入賞カウント数、ラウンド番号、図柄変更の開始など各種遊技内容に応じたモード選別処理を行う。その後画像データプロセッサ6は、CGデータの転送処理、システムレジスタの設定処理等のモード別処理内容に応じ、画像表示の準備作業を行う。画像デー

8

タプロセッサ6は図のタイミングダイアグラム中下側のVブランクの開始（画像表示領域終了点）で割り込みを確認し、上側Vブランク終点（画像表示開始）までの間に、各種表示情報の属性を画像データプロセッサ6内システムレジスタにて確定しておく。この時表示されるべき画像データは、前述の「CGデータの転送処理」時に、伸張及び各種表示内容に応じた演算処理が施された状態でCG-RAM4及びCG-ROM9内で待機している。最後に画像データはラスタスキャン方式に準じて画像データプロセッサ6経由にて液晶表示装置10へと転送される。

【0014】画像表示装置のシステム全体の動作を1フレーム分の画像表示を行うまで述べたが、この一連の流れは320×240ドットの画像を表示させる場合と比較して、その扱うデータ量、処理スピード、制御プログラムなど何が変わることがない。以上のように表示タイミング制御回路8₁、8₂を適宜選択しながら使用することによりパチンコ用大型画像表示装置を通常表示モードと高精度表示モードの双方に使用することが可能となる。

【0015】

【発明の効果】以上述べたように本発明にかかる大型液晶表示装置への画像表示は、水平方向への拡大を行うラッチ回路8bと、垂直方向への拡大を行うラインメモリ1、アドレスポインタ7、ラッチ回路8b、定位置タイミング発生回路8aとを設けることにより、純回路的に行われるから、表示制御の全体を司るサブCPU20と画像信号処理を行う画像データプロセッサ6に対する負担が全く生じない。さらに風量法によりCG-ROMの画像データが16Mbitに制限されているが、その範囲においてパチンコ遊技機に要求される一連の動作を表現しつつ、VGA、SVGA以上の大型液晶表示器に画像を表示させることができる。また画像データプロセッサからの画像データと水平・垂直同期信号は、小型の液晶表示装置に画像を表示させる場合と同じであるため、制御プログラムと画像データは、完全な互換性を保つことが可能となる。一つの分割画面内に最大20文字12行の漢字データを含む文字情報を提供することができるため、年々複雑化する遊技方法の説明文、パチンコ店の各種情報、商品広告などより多くのサービスを提供することが可能となる。VGA以上の対応大型液晶ディスプレイを用いているため、縦画面・横画面の区別が必要なく、分割画面のままで充分な視認性が確保できる。

【図面の簡単な説明】

【図1】VGA対応液晶ディスプレイのタイミングダイアグラムである。

【図2】画像データプロセッサの画像データ構成を示す概念図である。

【図3】本発明の実施例にかかる通常表示モード時における表示制御ブロックダイアグラムである。

(6)

特開平11-282430

9

10

【図4】 本発明の実施例にかかる外部映像表示部のブロックダイアグラムである。

【図5】 本発明の実施例にかかる文字情報表示部のブロックダイアグラムである。

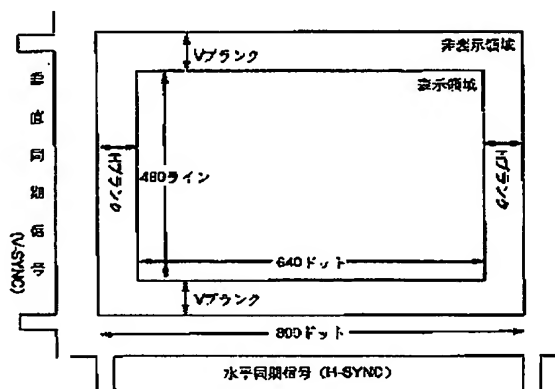
【図6】 高詳細表示モード時における表示タイミング部のシグナルフローである。

【符号の説明】

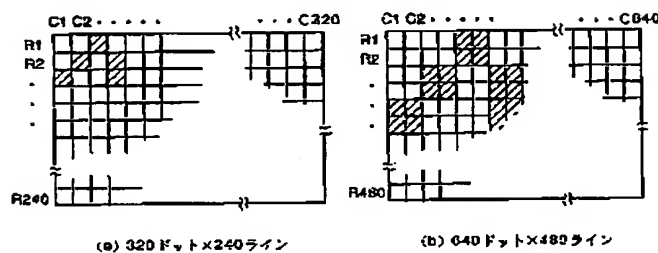
1 ラインメモリ
2 メインCPU
4 CG-RAM
5 ワークRAM
6 画像データプロセッサ
7 アドレスポインタ
8, 8₁ 表示タイミング制御回路
8_a 走査タイミング発生回路

* 8_b ラッチ回路
8_c ライトクロック生成回路
8_d リードクロック生成回路
8_e 画面分割制御回路
9 CG-RAM
10 VGA対応LCD
12 デコーダ
14 A/Vコンバータ
15 フィルター回路
16 フィールドメモリ
20 サブCPU
21 プログラムROM
22 外部通信用インタフェース
24 文字情報用RAM
* 26 キャラクタージェネレータROM

【図1】



【図2】

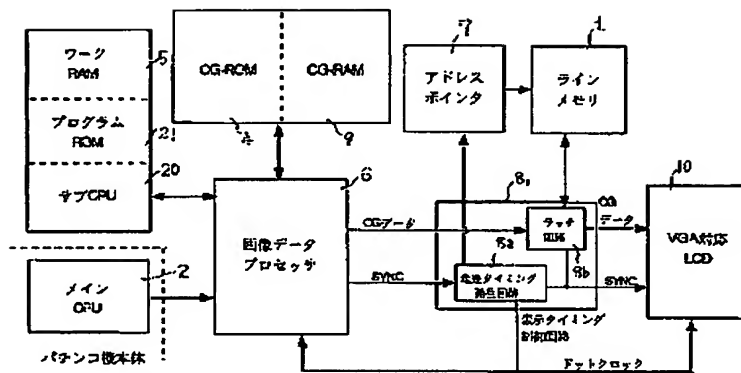


(a) 320 ドット×240ライン

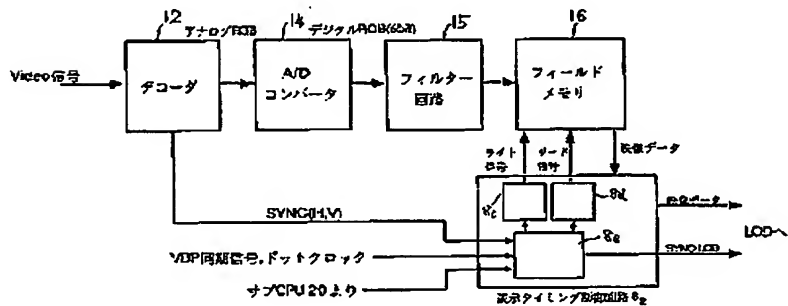
(b) 640 ドット×480ライン

特開平 1 1 - 2 8 2 4 3 0

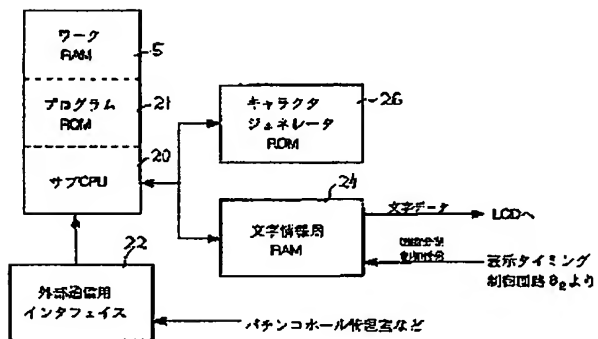
【圖3】



【圖4】



【图5】



(8)

特開平 1 1 - 2 8 2 4 3 0

【図6】

